

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-306797

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

G11C 29/00
G01R 31/28
G01R 31/3183
G06F 12/16
G11C 11/413
G11C 11/407
G11C 11/401

(21)Application number : 10-111637

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.04.1998

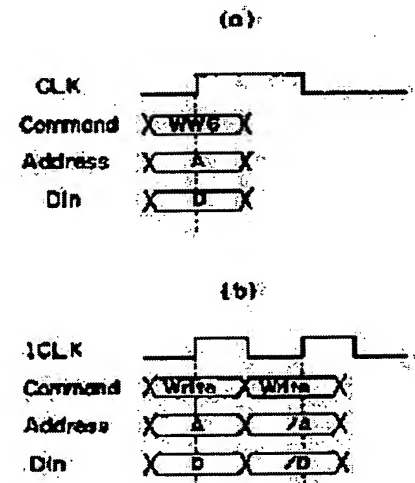
(72)Inventor : NISHIMOTO KENJI
KINOSHITA YOSHITAKA

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor memory device in which a high-speed test can be made easily by using a low-speed tester even without using a high-speed tester exceeding 100 MHz.

SOLUTION: In a 2-bank 16-Mbit SDRAM which is composed of a memory array bank and its peripheral circuit, a test-mode setting circuit in which a double-cycle-clock generation circuit, an internal-column-command generation circuit, an address arithmetic circuit and a test-data generation circuit are contained is provided. When a command, an address and data are input in the rise of an external clock signal CLK, a command, an address and data can be generated at the inside of a chip when the external clock signal CLK falls. An operating timing which is equivalent to an example in which a test command 'WW6' is input in synchronization with an internal clock signal ICLK, data 'D' is written into an address 'A' in a first cycle, and data '/D' (inverted) is written into an address '/A' (inverted) in a second cycle.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

일본공개특허공보 평11-306797호(1999.11.05) 1부.

[첨부그림 1]

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-306797

(43) 公開日 平成11年(1999)11月5日

(51) IntCl.
G11C 29/00 671
G01R 31/28
31/3183
G06F 12/18 330

F1
G11C 29/00 671Z
671T
G06F 12/18 390A
G01R 31/28 B
Q

審査請求 未請求 請求項の数 6 OL (全 8 頁) 最末页に続く

(21) 出願番号 特願平10-111637
(22) 出願日 平成10年(1998)4月22日

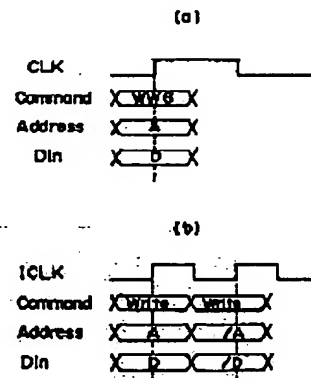
(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田神田河台四丁目5番地
(72) 発明者 西本 賢二
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
(72) 発明者 木下 高雄
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
(74) 代理人 弁護士 筒井 大和

(54) 【発明の名称】 半導体記憶装置

【課題】 100MHzを超えるような高速テストを用いなくとも、低速テストでも容易に高速なテストを行うことが出来る半導体記憶装置を提供する。

【解決手段】 メモリアレイバンクと、その周辺回路からなる2バンク16MビットSDRAMであって、倍周期クロック信号発生回路、内部カラムコマンド発生回路、アドレス選択回路、テストデータ発生回路を含むテストモード設定回路が備えられ、外部クロック信号CLKの立ち上がり時にコマンド、アドレス、データを入力するだけで、外部クロック信号CLKの立ち下がり時にもチップ内部でコマンド、アドレス、データを発生することができる。テストコマンド“WW6”を入力する例と等価な動作タイミングは、内部クロック信号1CLKに同期して、1サイクル目にアドレス“A”にデータ“D”がライトされ、2サイクル目にアドレス“/A”(反転)にデータ“/D”(反転)がライトされる。

図 6



【特許請求の範囲】

【請求項 1】 所定の周期の外部クロック信号によるテストモードを選択した半導体記憶装置であって、前記外部クロック信号の立ち上がり時にコマンド、アドレス、データを入力されると、この外部クロック信号の立ち上がり時に続いてこの外部クロック信号の立ち下がり時に内部でコマンド、アドレス、データを発生するテストモード設定回路を有し、前記外部クロック信号のクロックサイクルに対して内部を2倍のクロックサイクルで動作させることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 記載の半導体記憶装置であって、前記コマンドはリード/ライトのカラムコマンドであり、このカラムコマンドの組み合わせにより1回のコマンドの入力により内部で連続したカラム動作を実行させることを特徴とする半導体記憶装置。

【請求項 3】 請求項 2 記載の半導体記憶装置であって、前記アドレスは保持/インクリメント/反転の種別からなり、かつ前記データは保持/反転の種別からなり、このアドレスおよびデータと前記コマンドとの組み合わせも考慮することを特徴とする半導体記憶装置。

【請求項 4】 請求項 1 記載の半導体記憶装置であって、前記テストモード設定回路におけるテストモードは、モードレジスタセットコマンドを用いてエントリされることを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 記載の半導体記憶装置であって、前記テストモード設定回路におけるテストモードは、アドレスと組み合わせたコマンドを用いてエントリされることを特徴とする半導体記憶装置。

【請求項 6】 請求項 1、2、3、4 または 5 記載の半導体記憶装置であって、前記半導体記憶装置は、シンクロナス DRAM であることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【発明の属する技術分野】 本発明は、半導体記憶装置のテストモード技術に関し、特に外部クロック信号に同期して動作するメモリにおいて、この動作周波数の高速化に対応可能なシンクロナス DRAM (S DRAM) などの半導体記憶装置に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、本発明者が検討した技術として、SDRAMでは、Double CLKテストモードなどのテストモードを用いて、特定タイミングのチェックを行う技術などが考えられる。この概要は、テストを実施する場合、最小のサイクルで全ての試験項目をチェックしているため、メモリが高速になれば、それに比例して高速のテストを要求する必要がある。しかしながら、一部の項目は、テストモードを用いて低速テストでチェックしている。たとえば、Double CLKテストモードでは、最初にクロック信号の立ち上がり時と

立ち下がり時にコマンド、アドレスの入力が可能となっている。

【0003】 なお、このような SDRAM などの半導体記憶装置に関する技術としては、たとえば 1994 年 1 月 5 日、株式会社日立製作所の「アドバンスド エレクトロニクス—9、32MBメモリ」P344~P348 などに記載される技術などが挙げられる。

【0004】

【発明が解決しようとする課題】 ところで、前記のような SDRAM などの半導体記憶装置においては、たとえば 100MHz 以上の高速で動作するメモリをテストする場合、従来の EDO DRAM で使用していたテストでは測定が難しくなっている。また、Double CLK テストモードでは、たとえば図 10 に示すように、外部クロック信号 CLK の立ち上がり時と立ち下がり時にコマンド、アドレスの入力が必要になり、テストの制約とテストパターンの複雑さが増すことが考えられる。

【0005】 そこで、本発明の目的は、外部クロック信号の立ち上がり時にコマンド、アドレス、データを入力するだけで、外部クロック信号の立ち下がり時にも内部でコマンド、アドレス、データを発生させ、たとえば 100MHz を越えるような高速テストを用いなくても、低速テストでも容易に高速なテストを行うことができる半導体記憶装置を提供するものである。

【0006】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0008】 すなわち、本発明による半導体記憶装置は、外部クロック信号によるクロックサイクルに対し、内部を2倍で動作させるために、外部クロック信号の立ち上がり時にコマンド、アドレス、データを入力するだけで、外部クロック信号の立ち上がり時に続いて外部クロック信号の立ち下がり時にも、チップ内部でコマンド、アドレス、データを発生するテストモード設定回路を有するものである。

【0009】 この構成において、最小のサイクルでテストする対象となるのは、カラムコマンド (リード/ライトコマンド) であるので、このコマンドの組み合わせを考え、1回のコマンドの入力によりチップ内部で連続したカラム動作を行うようにしたものである。また、アドレス、データも、当サイクルと次サイクルで変わる場合を考慮して、アドレスは保持/インクリメント/反転、データは保持/反転の組み合わせができるようにしたものである。このテストモード設定回路におけるテストモードへのエントリ方法は、モードレジスタセットコマ

ドを用いる場合と、アドレスと組み合わせたコマンドを用いる場合とが考えられる。

【0010】 以下、前記半導体記憶装置によれば、外部クロック信号の立ち上がり時にコマンド、アドレス、データを入力するだけで、外部クロック信号の立ち上がり時にも、チップ内部でコマンド、アドレス、データを発生するため、単純なDouble-CLKテストモードに比べて、低速なテストでも容易に高速なテストが可能になる。これにより、たとえば100MHzを超えるような高速テストを用いなくても、従来のEDO DRAMで使用していた低速テストで測定できる。その結果、実際に高速で測定の必要な項目は、微小または皆無になる。また、既存の設備で生産可能なため、テストコストを低減できる。

【0011】 これは、最小のサイクルでテストする対象となるのは、カラムコマンド(リード/ライトコマンド)であり、従ってこのコマンドの組み合わせを考え、1回のコマンドの入力により、チップ内部で連続したカラム動作を行うことができるためである。特に、外部クロック信号に同期したSDRAM、SSRAMなどに適用できる。

【0012】

【発明の実施の形態】 以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0013】 図1は本発明の一実施の形態である半導体記憶装置を示す全体ブロック図、図2は本実施の形態の半導体記憶装置において、倍周期クロック信号発生回路の一例を示す回路図、図3はクロック信号を示す波形図、図4はテストコマンド動作の概要を示すタイミング図、図5はテストコマンド例を示す説明図、図6(a)、(b)はテストコマンドの動作例とその等価動作例を示すタイミング図、図7はテストコマンドへのエントリ方法を示すタイミング図、図8はアドレスコード例を示す説明図、図9はテストコマンドへの他のエントリ方法を示すタイミング図である。

【0014】 まず、図1により本実施の形態の半導体記憶装置の構成を説明する。

【0015】 本実施の形態の半導体記憶装置は、たとえば2バンク16MビットSDRAMとされ、メモリアレイバンク1、2と、各メモリアレイバンク1、2に対応するロウデコーダ3、4、カラムデコーダ5、6およびセンスアンプ&入出力バス7、8と、共通のロウアドレスバッファ9、カラムアドレスバッファ10、カラムアドレスカウンタ11、リフレッシュカウンタ12、入力バッファ13、出力バッファ14、制御論理&タイミング発生器15などの一般的な構成からなり、周知の半導体製造技術により1面の半導体チップ上に形成されている。

【0016】 このSDRAMには、外部からアドレス信号Aが入力され、ロウアドレス信号XA、カラムアド

レス信号YAが生成されて、それぞれロウアドレスバッファ9、カラムアドレスバッファ10に入力され、ロウデコーダ3、4、カラムデコーダ5、6を介してメモリアレイバンク1、2内の任意のメモリエルが選択される。そして、入出力データ1/0は、書き込み動作時に入力バッファ13を介して入力され、読み出し動作時にセンスアンプ&入出力バス7、8、出力バッファ14を介して出力される。

【0017】 また、制御信号として、外部クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CS、ロウアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CA8、ライトイネーブル信号/WE、データマスク信号DQMなどが外部から入力され、これらの制御信号に基づいて制御論理&タイミング発生器15によりコマンド、内部制御信号が生成され、このコマンド、内部制御信号により内部回路の動作が制御されるようになっている。

【0018】 特に、本実施の形態における制御論理&タイミング発生器15には試験用のテスト回路16が内蔵されており、このテスト回路16には、所定の周期の外部クロック信号CLKによるテストモード時に、この外部クロック信号CLKによるクロックサイクルに対し、内部を2倍で動作させるために、外部クロック信号CLKの立ち上がり時にコマンド、アドレス、データを入力するだけで、外部クロック信号CLKの立ち上がり時に続いて外部クロック信号CLKの立ち下がり時にも、チップ内部でコマンド、アドレス、データを発生するテストモード設定回路が含まれている。

【0019】 具体的には、図2に示す倍周期クロック信号発生回路17と、この倍周期クロック信号発生回路17から発生される内部クロック信号ICLKに同期して、内部カラムコマンドを発生する内部カラムコマンド発生回路18、テストアドレスを発生するアドレス発生回路19、テストデータを発生するテストデータ発生回路20を含めてテストモード設定回路が構成されている。図1のように、倍周期クロック信号発生回路17は制御論理&タイミング発生器15に内蔵され、内部カラムコマンド発生回路18は制御論理&タイミング発生器15に接続され、アドレス発生回路19はカラムアドレスカウンタ11に内蔵され、さらにテストデータ発生回路20は入力バッファ13の入出力部に接続されている。

【0020】 倍周期クロック信号発生回路17は、たとえば図2に示すように、否定論理ゲートNAND、インバータIV.1~IV.7、否定論理ゲートNOR、PMOSトランジスタP、NMOSトランジスタN1~N4、ディレイ回路DLY、フリップフロップ回路FF.1、FF.2からなり、図3(a)のような外部クロック信号CLKが入力されて、図3(b)のような内部クロック信号ICLKが出力される。また、制御信号とし

て、信局期動作イネーブル信号、第1、第2のクロック制御信号が入力され、信局期動作イネーブル信号は、“L”レベルにすることにより信局期動作し、第1、第2のクロック制御信号は通常時は“H”レベルであり、“L”レベルにすると内部クロック信号CLKが停止するようになっている。

【0021】この信局期クロック信号発生回路17において、外部クロック信号CLKが入力され、信局期動作イネーブル信号を“L”レベルにすると、否定論理ゲートNAND、インバータIV1を介して外部クロック信号CLKの立ち上がり検知され、PMOSトランジスタTP、NMOSトランジスタTN1、TN2、インバータIV2、ディレイ回路DLY、インバータIV4、フリップフロップ回路FF1、インバータIV5による経路で外部クロック信号CLKの立ち上がり時にディレイ回路DLYの遅延時間幅のパルス信号が発生される。

【0022】一方、否定論理ゲートNAND、インバータIV1、否定論理ゲートNORを介して外部クロック信号CLKの立ち下がり検知され、NMOSトランジスタTN3、TN4、インバータIV2、ディレイ回路DLY、インバータIV4、フリップフロップ回路FF2、インバータIV6による経路で外部クロック信号CLKの立ち下がり時にディレイ回路DLYの遅延時間幅のパルス信号が発生される。これにより、外部クロック信号CLKの立ち上がり時、立ち下がり時に“H”レベルとなる信局期の内部クロック信号CLKを発生させることができる。

【0023】次に、本実施の形態の作用について、テストコマンド動作の概要、テストコマンド例、テストコマンドの動作例とその等価動作例、テストコマンドへのエントリー方法を順に、図4～図9に基づいて説明する。

【0024】テストコマンド動作は、図4に示すように、外部クロック信号CLKの立ち上がり時に、テストモードを設定するテストコマンドCommand、アドレスAddressとして“A”、データDataとして“0”を入力する。これだけで、外部クロック信号CLKの立ち下がり時にもチップ内部でコマンド、アドレス、データを発生することができる。

【0025】このテストコマンドの例を図5に示す。図5において、ライトコマンドを“Write”、リードコマンドを“Read”で表し、任意のアドレスを“A”（保持），“A+1”（インクリメント），“/A”（反転）とし、任意のデータを“0”（保持），“/0”（反転）として示している。さらに、リードコマンドの場合には入力データがないので“-”で示し、また“0*”の表示はライトのデータを先に取り込むものとする。

【0026】たとえば、テストコマンド“WW1”～“WW5”の入力では、外部クロック信号CLKの立ち

上がり時、立ち下がり時にともにライトコマンドWriteが発生する。それぞれ、外部クロック信号CLKの立ち上がり時のライトコマンドWriteは、アドレス“A”に対してデータ“0”が割り当てられている。また、外部クロック信号CLKの立ち下がり時のライトコマンドWriteは、アドレス“A”に対してデータ“0”、“/0”、アドレス“A+1”に対してデータ“0”、“/0”、アドレス“/A”に対してデータ“0”、“/0”がそれぞれ割り当てられている。

【0027】同様に、テストコマンド“WR1”～“WR3”の入力では、外部クロック信号CLKの立ち上がり時にライトコマンドWrite、立ち下がり時にリードコマンドReadが発生し、それぞれライトコマンドWriteはアドレス“A”に対してデータ“0”、リードコマンドReadはアドレス“A”、“A+1”、“/A”に対してデータ“-”が割り当てられている。

【0028】また、テストコマンド“RR1”～“RR3”の入力では、外部クロック信号CLKの立ち上がり時、立ち下がり時にともにリードコマンドReadが発生し、それぞれアドレス“A”に対してデータ“-”、アドレス“A”、“A+1”、“/A”に対してデータ“-”が割り当てられている。

【0029】さらに、テストコマンド“RW1”～“RW3”の入力では、外部クロック信号CLKの立ち上がり時にリードコマンドRead、立ち下がり時にライトコマンドWriteが発生し、それぞれリードコマンドReadはアドレス“A”に対してデータ“0*”，ライトコマンドWriteはアドレス“A”、“A+1”、“/A”に対してデータ“-”が割り当てられている。

【0030】以上のように割り当てられたテストコマンドを入力することにより、リードコマンド、ライトコマンドを実行させることができる。すなわち、最小のサイクルでテストする対象となるのは、リード/ライトのカラムコマンドあり、従ってこのコマンドの組み合わせを考え、1回のコマンドの入力によりチップ内部で連続したカラム動作を行わせることができる。

【0031】このカラム動作におけるテストコマンドの動作例を図6(a)に示し、図6(b)はこれと等価な動作例のタイミングを示している。図6(a)においては、テストコマンド“WW5”、アドレス“A”、データ“0”を入力する例を示している。これと等価な動作タイミングは図6(b)のようになり、内部クロック信号CLKに同期して、1サイクル目にアドレス“A”にデータ“0”がライトされ、2サイクル目にアドレス“/A”にデータ“/0”がライトされる。また、アドレス、データも、当サイクルと次サイクルで変わる場合を考慮して、図5のように、アドレスについては保持/インクリメント/反転、データについては保持/反転などの種別が設けられている。

【0032】以上のようなテストモードへのエントリ方法としては、モードレジスタセットコマンドを用いる場合と、アドレスとカラムコマンドとを組み合わせた場合とが考えられる。図7は、モードレジスタセットコマンドを使用する例で、そのアドレスコードの例は図8の通りであり、また図9はアドレスと組み合わせたコマンドを使用する例を示している。

【0033】図7のように、モードレジスタセットコマンドを使用する場合には、図8のテストコマンド Command にそれぞれ対応するテストモードのアドレスコード Address Code を設定する。図8においては、前記図5に示すテストコマンド“WW1”～“WW6”、“WR1”～“WR3”、“RR1”～“RR3”、“RW1”～“RW3”に対応して、それぞれアドレスコードは“A7”～“A0”の16進による“#C0”～“#CE”が割り当てられている。

【0034】このモードレジスタセットコマンドの使用によるエントリ方法では、通常のバースト長、レイテンシーなどを設定するモードレジスタセットMRSの後（アドレス“22”）、オペレーション期間で用いる動作のMRS（MRS for Test）を入力する（アドレス“C0”）。これにより、アドレスコード“C0”に対応するテストモード“WW1”へ設定（Entry）されたことになる。さらに、連続して異なるテストモードにおけるリード/ライトコマンドを実施したい場合には、その都度、MRSを実施することにより、異なるテストモード“WW2”～“WW6”、“WR1”～“WR3”、“RR1”～“RR3”、“RW1”～“RW3”へのエントリが可能となる。最後にテストモードを終了する時は、モードレジスタセットMRS（アドレス“22”）で設定をクリア（Exit）する。

【0035】一方、図9のように、アドレスと組み合わせたコマンドを使用する場合には、カラムアドレスに使用していない予備のアドレスピンがあれば、前記図5に示すテストモードにおけるリード/ライトコマンドの設定時に、この予備のアドレスピンによる、たとえばアドレス“B”を同時に取り込む。これにより、直接、所望とするテストモードにエントリすることができる。このアドレスと組み合わせたコマンドを使用するエントリ方法では、MRSコマンドを使用するエントリ方法に比べて、MRSの設定が不要となるので、簡単かつ容易にエントリを実現することができる。

【0036】従って、本実施の形態の半導体記憶装置によれば、倍周期クロック信号発生回路17、内部カラムコマンド発生回路18、アドレス発生回路19、テストデータ発生回路20を含むテストモード設定回路が備えられることにより、外部クロック信号CLKからこの倍周期の内部クロック信号I CLKを発生させ、外部クロック信号CLKの立ち上がり時にコマンド、アドレス、

データを入力するだけで、外部クロック信号CLKの立ち上がり時にもチップ内部でコマンド、アドレス、データを発生するため、低速なテストでも容易に高速なテストを行うことができる。

【0037】これにより、たとえば1.03MHzなど、1.00MHzを超えるような高速テストを用いなくても、従来のEDO DRAMなどで使用していたテストで測定でき、その結果、実際に高速で測定の必要な項目は微小または皆無になるので、既存の設備で量産可能なため、テストコストを低減することができる。

【0038】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0039】たとえば、前記実施の形態においては、2バンク16MビットSDRAMの例で説明したが、これに限定されるものではなく、4バンク、8バンク、さらに多バンク化の傾向にあり、また64Mビット、256Mビット、さらに大容量化の傾向にあるSDRAMについても広く適用可能であり、このように多バンク、大容量の構成とすることにより本発明の効果はますます大きくなる。

【0040】さらに、テストコマンドは図5に示すものに限らず、またアドレスコードも図8の例に限定されるものではなく、テスト対象となる製品などに対応して変更可能であることはいうまでもない。

【0041】また、SDRAMに適用した場合について説明したが、SSRAMなどの外部クロック信号に同期して動作する他の半導体記憶装置についても適用することができる。

【0042】

【発明の効果】本明細書において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0043】(1)、外部クロック信号の立ち上がり時のコマンド、アドレス、データの入力に続いて、この外部クロック信号の立ち下がり時に内部でコマンド、アドレス、データを発生するテストモード設定回路を有することで、外部クロック信号のクロックサイクルに対して内部を2倍のクロックサイクルで動作させることができるので、低速なテストでも容易に高速なテストが可能となる。

【0044】(2)、前記(1)により、たとえば1.00MHzを超えるような高速テストを用いなくても、低速テストで測定できるので、実際に高速で測定の必要な項目は微小または皆無になるので、既存の設備で量産可能なため、テストコストを低減することが可能となる。

【0045】(3)、最小のサイクルでテストする対象となるリード/ライトのカラムコマンドに適用することで、

このカラムコマンドの組み合わせにより1回のコマンドの入力により内部で連続したカラム動作を実行させることが可能となる。

【0046】(4). アドレスおよびデータとコマンドとの組み合わせも考慮して、アドレスは保持/インクリメント/反転、データは保持/反転の種別からなることで、アドレス、データが次のサイクルで変わる場合に対応することが可能となる。

【0047】(5). テストモードをモードレジスタセットコマンドを用いてエントリする場合には、テストコマンドに対応したアドレスコードにより容易に設定することが可能となる。

【0048】(6). テストモードをアドレスと組み合わせたコマンドを用いてエントリする場合には、予備のアドレスピンによるアドレスを用いて簡単に設定することが可能となる。

【0049】(7). 前記(1)～(6)により、外部クロック信号に同期して動作するSDRAM、SSRAMなどの半導体記憶装置において、高速テストを可能とし、かつテストコストの低減が可能となり、動作周波数の高速化に対応することが可能となる。

【図1】本発明の一実施の形態である半導体記憶装置を示すブロック図である。

【図2】本発明の一実施の形態の半導体記憶装置において、倍周期クロック信号発生回路の一例を示す回路図である。

【図3】本発明の一実施の形態の半導体記憶装置において、クロック信号を示す波形図である。

【図4】本発明の一実施の形態の半導体記憶装置において、テストコマンド動作の概要を示すタイミング図である。

【図5】本発明の一実施の形態の半導体記憶装置において、テストコマンド例を示す説明図である。

【図6】(a)、(b)は本発明の一実施の形態の半導体記憶装置において、テストコマンドの動作例とその等価動作例を示すタイミング図である。

【図7】本発明の一実施の形態の半導体記憶装置において、テストコマンドへのエントリ方法を示すタイミング図である。

【図8】本発明の一実施の形態の半導体記憶装置において、アドレスコード例を示す説明図である。

【図9】本発明の一実施の形態の半導体記憶装置において、テストコマンドへの他のエントリ方法を示すタイミング図である。

【図10】本発明の構成となる半導体記憶装置において、テストコマンドの動作例を示すタイミング図である。

【符号の説明】

1. 2 メモリアレイバンク
3. 4 ロウデコーダ
5. 6 カラムデコーダ
7. 8 セン스アンプ&入出力バス
- 9 ロウアドレスバッファ
- 10 カラムアドレスバッファ
- 11 カラムアドレスカウンタ
- 12 リフレッシュカウンタ
- 13 入力バッファ
- 14 出力バッファ
- 15 制御論理&タイミング発生器
- 16 テスト回路
- 17 倍周期クロック信号発生回路
- 18 内部カラムコマンド発生回路
- 19 アドレス保持回路
- 20 テストデータ発生回路
- NAND 否定論理ゲート
- INV1～INV7 インバータ
- NOR 否定論理和ゲート
- TP PMOSトランジスタ
- TN1～TN4 NMOSトランジスタ
- DLY テイレイ回路
- FF1, FF2 フリップフロップ回路

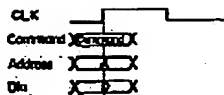
【図3】

図 3



【図4】

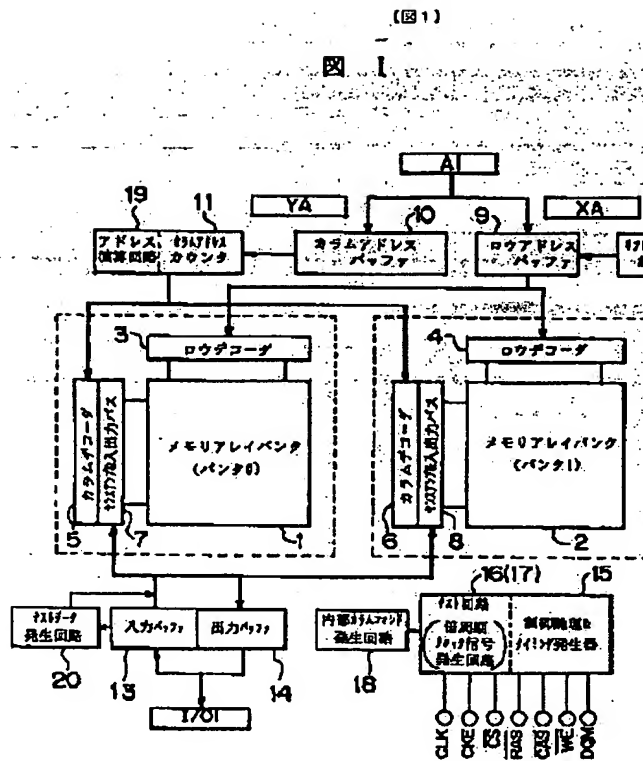
図 4



【図9】

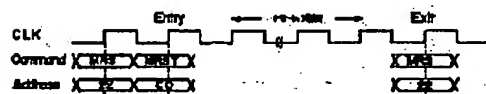
図 9





(圖 7)

圖 7



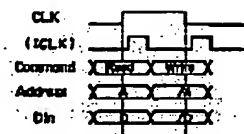
(圖 8)

圖 8

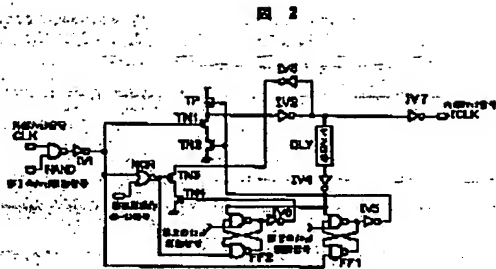
Command (Type)	Address Code (A1-A16)
WRT	00
RDY	01
WRT	02
WRT	03
WRT	04
WRT	05
WRT	06
WRT	07
WRT	08
WRT	09
WRT	10
WRT	11
WRT	12
WRT	13
WRT	14
WRT	15
WRT	16

(圖 10)

圖 10



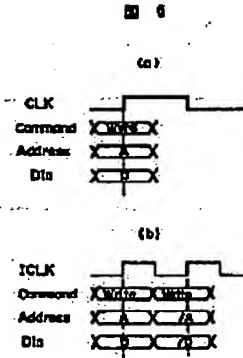
[그림 2]



[그림 5]

Command (Type)	Command	Address	Chip	Command	Address	Chip
WV1	Write	A	D	Write	A	D
WV2					A+1	D
WV3					A+1	D
WV4					A+1	D
WV5					A+1	D
WV6					A+1	D
RV1	Read	A	D	Read	A	D
RV2					A+1	D
RV3					A+1	D
RV4					A+1	D
RV5					A+1	D
RV6					A+1	D
RV7					A+1	D
RV8					A+1	D
RV9					A+1	D

[그림 6]



프론트 페이지의続き

(S1)Int. Cl. 6

製品記号

F I

G11C 11/413

G01R 31/28

V

11/407

G11C 11/34

341D

11/401

362S

371A

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.